

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-096768

(43)Date of publication of application : 09.04.1999

(51)Int.Cl. G11C 11/413

(21)Application number : 09-252233

(71)Applicant : NEC CORP

(22)Date of filing : 17.09.1997

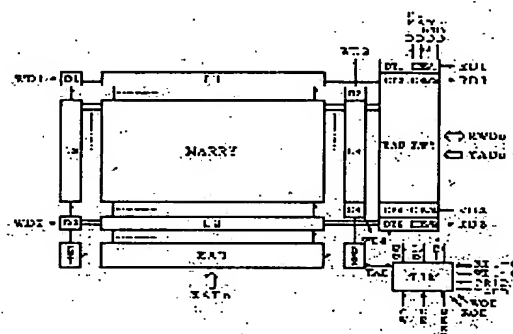
(72)Inventor : SHIMA TOMOAKI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To increase operation speed to operable timing speed by generating a series of operation timing including writing/reading in/from a memory circuit and a peripheral circuit based on a signal generated by dummy cell operation.

SOLUTION: After receiving of return of an address selection signal TAD, a timing generating circuit TIM sends a writing/reading signal WO/RO to a sense circuit RWS. Writing/reading operation is performed for dummy cells D1-D4 by this signal, the timing generating circuit TIM turns off the writing/reading signal WO/RO by 0 of return signals WD1-WD4 written in the dummy cells D1-D4 and 1 of return signals RD1RD4 of data read out from the dummy cells D1-D4. By returning off the reading/writing signal WO/RO, the address selection signal TAD is turned off, next, a pre-charge signal PRI of a data line is turned off, and a series of operation for the memory circuit is finished.



LEGAL STATUS

[Date of request for examination] 17.09.1997

[Date of sending the examiner's decision of rejection] 25.07.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-96768

(43)公開日 平成11年(1999)4月9日

(51) Int.Cl.⁶

識別記号

FI

G 1 1 C 11/413

G 1 1 C 11/34

341A

審査請求 有 請求項の数 5 OL (全 7 頁)

(21)出願番号 特願平9-252233

(22)出願日 平成9年(1997)9月17日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 島 友朗

東京都港区芝五丁目7番1号 日本電気株式会社内

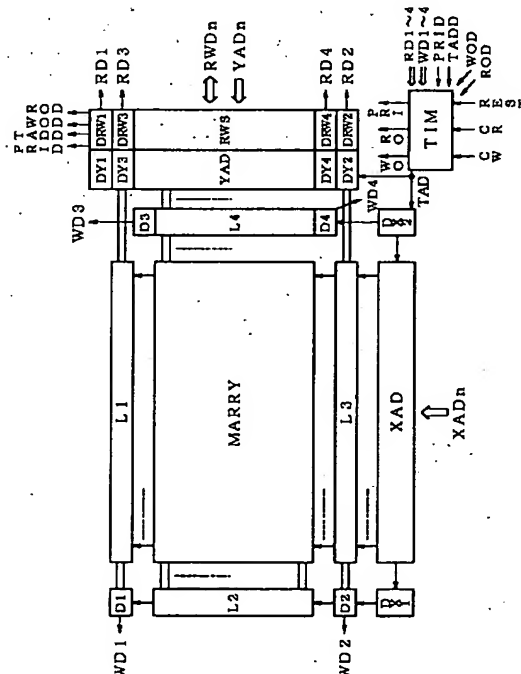
(74)代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】固定タイミングの設計マージンを不要にし、書き込み／読出し動作を高速化する。

【解決手段】メモリセルアレイ部MARRYに隣接してその4隅にそれぞれ配置され書込み／読出し用のデータ線にそれぞれ接続され且つ別途に出力端を持つ複数のダミーセルD1～D4と、これら各ダミーセルD1～D4の各出力端の信号WD1～WD4に対応して各メモリセルに対する書込みタイミングが制御された書込み信号WOを生成し各ダミーセルD1～D4からの読出しデータRD1～RD4に対応して各メモリセルに対する読出しタイミングが制御された読出し信号ROを生成するタイミング生成回路TIMとを備える。



【特許請求の範囲】

【請求項1】 スタティック型のメモリセルを格子状に配置して形成されるメモリセルアレイ部を有する半導体集積回路において、前記メモリセルアレイ部に隣接してその4隅にそれぞれ配置され書込み／読出し用のデータ線にそれぞれ接続され且つ別途に出力端を持つ複数のダミーセルと、これら各ダミーセルの前記各出力端の信号に対応して前記各メモリセルに対する書込みタイミングが制御された書込み信号を生成し前記各ダミーセルからの読出しデータに対応して前記各メモリセルに対する読出しタイミングが制御された読出し信号を生成するタイミング生成回路とを備えることを特徴とする半導体集積回路。

【請求項2】 前記各ダミーセルが非選択時に初期化され、前記各メモリセルの書込み時に選択され前記各ダミーセルに前記初期化データの反転データが同時にそれぞれ書き込まれ、前記各メモリセルの読出し時に選択され前記各ダミーセルから前記各初期化データが同時にそれぞれ読み出される、請求項1記載の半導体集積回路。

【請求項3】 前記書込み信号が前記各出力端の信号の一致信号に対応して不活性化され、前記読出し信号が前記各ダミーセルからの読出しデータの一致信号に対応して不活性化される、請求項1または2記載の半導体集積回路。

【請求項4】 前記ダミーセルにそれぞれ接続されるデータ線およびワード線が、前記メモリセルアレイ部の周辺回路と同等の周辺回路に接続される、請求項1、2または3記載の半導体集積回路。

【請求項5】 前記ダミーセルにそれぞれ接続されるデータ線およびワード線が、前記メモリセルアレイ部のデータ線およびワード線と同等の配線容量、各線間容量、配線抵抗を持つ、請求項1、2、3または4記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体集積回路に関し、特に、メモリセルアレイ部を有する半導体集積回路に関する。

【0002】

【従来の技術】 従来、この種の半導体集積回路は、メモリセルアレイ部およびその周辺回路から成るメモリ回路およびその他機能の回路が搭載され、広く用いられている。例えば、図9は、従来の半導体集積回路の1つであるLCD駆動用ICにおけるメモリ回路の構成例を示すブロック図である。この従来の半導体集積回路のメモリ回路は、メモリセルアレイ部MARRY、XアドレスデコーダXAD、YアドレスデコーダYAD、センス回路RWS、タイミング生成回路TIMを備える。

【0003】 この従来の半導体集積回路のメモリ回路例において、メモリセルアレイ部およびその周辺回路MA

RRY、XAD、YAD、RWSは、設計者が固定のタイミング設定を行ったタイミング生成回路TIMによりシーケンシャルな書込み／読出し動作をしている。すなわち、タイミング回路TIMは、書込み／読出しの選択信号を受けて、X、Yアドレス信号が確定する時間と、書込み／読出しを開始して十分データの書込み／読出しが行える時間と、を考慮して、一連の動作タイミングを発生していた。

【0004】 また、従来の半導体集積回路の他のメモリ回路例として、たとえば、特開平8-138383号公報に示される半導体記憶装置がある。簡単に説明すると、この半導体記憶装置は、論理機能付メモリに搭載されるRAMモジュールなどにおいて、書込みパルスの生成タイミングをメモリセルの書込み遅延特性に合わせ込むための遅延素子として、メモリセルと同様な構成とされ且つ同様な書込み遅延特性を有する特性補償セルを用いると共に、この特性補償セルの周囲に、やはりメモリセルと同様な構成とされる複数のダミーセルを配置してダミーセルアレイを構成する。

【0005】 このように、特性補償セルまたはダミーセルアレイをメモリアレイのレイアウト領域内に配置あるいはメモリアレイに隣接配置することで、その周辺部を含めて、特性補償セルの書込み遅延特性をメモリセルの書込み遅延特性に近似させることができる。この結果、書込みパルスのタイミングマージンを圧縮して、論理機能付メモリに搭載されるRAMモジュールなどのサイクルタイムの高速化を図ることができる。

【0006】

【発明が解決しようとする課題】 従来の半導体集積回路の問題点は、書込み／読出しの動作速度が、固定タイミングの設定により制限され、高速化できないことである。

【0007】 その理由は、従来の半導体集積回路のメモリ回路において、最悪条件下の動作保証のため、固定タイミングの設計マージンを大きくする必要があるためである。

【0008】 また、特性補償セルまたはダミーセルによりメモリセルの遅延特性に近似してタイミング制御する場合であっても、製造プロセスなどにより、データ線などの配線抵抗にバラツキを生じ、メモリアレイ部内の各メモリセルの動作保証のため、固定タイミングの設計マージンを付加する必要があるためである。

【0009】 したがって、本発明の目的は、半導体集積回路に内蔵されたメモリ回路において、固定タイミングの設計マージンを不要にし、書込み／読出し動作を高速化することにある。

【0010】

【課題を解決するための手段】 そのため、本発明は、スタティック型のメモリセルを格子状に配置して形成されるメモリセルアレイ部を有する半導体集積回路におい

て、前記メモリセルアレイ部に隣接してその4隅にそれぞれ配置され書込み／読出し用のデータ線にそれぞれ接続され且つ別途に出力端を持つ複数のダミーセルと、これら各ダミーセルの前記各出力端の信号に対応して前記各メモリセルに対する書込みタイミングが制御された書込み信号を生成し前記各ダミーセルからの読出しデータに対応して前記各メモリセルに対する読出しタイミングが制御された読出し信号を生成するタイミング生成回路とを備えている。

【0011】また、前記各ダミーセルが非選択時に初期化され、前記各メモリセルの書込み時に選択され前記各ダミーセルに前記初期化データの反転データが同時にそれぞれ書き込まれ、前記各メモリセルの読出し時に選択され前記各ダミーセルから前記各初期化データが同時にそれぞれ読み出される。

【0012】また、前記書込み信号が前記各出力端の信号の一致信号に対応して不活性化され、前記読出し信号が前記各ダミーセルからの読出しデータの一致信号に対応して不活性化される。

【0013】また、前記ダミーセルにそれぞれ接続されるデータ線およびワード線が、前記メモリセルアレイ部の周辺回路と同等の周辺回路に接続されている。

【0014】さらに、前記ダミーセルにそれぞれ接続されるデータ線およびワード線が、前記メモリセルアレイ部のデータ線およびワード線と同等の配線容量、各線間容量、配線抵抗を持っている。

【0015】

【発明の実施の形態】次に、本発明について図面を参照して説明する。図1は、本発明の半導体集積回路の実施形態におけるメモリ回路部分を示すブロック図である。図1を参照すると、本実施形態の半導体集積回路におけるメモリ回路は、メモリセルアレイ部MARRY、ダミーセルD1～D4を備え、それぞれの周辺回路として、XアドレスデコーダXAD、DX1～DX2と、YアドレスデコーダYAD、DY1～DY4と、センス回路RWS、DRW1～DRW4と、タイミング生成回路TIMとを備える。

【0016】また、図2は、図1におけるメモリセルアレイ部MARRY、ダミーセルD1～D4のデータ線とワード線との間の具体的接続例を示す接続図である。図2を参照すると、ダミーセルD1、D2のデータ線には、メモリセルアレイ部MARRYのデータ線と同等に、各ワード線との間の線間容量負荷として、負荷スイッチ群L1、L3が接続されている。また、ダミーセルD1～D4のワード線には、ダミーセルD1、D2間およびダミーセルD3、D4間に、メモリセルアレイ部MARRYのワード線と同等に、各データ線との間の線間容量負荷として、負荷スイッチ群L2、L4が接続されている。

【0017】図3は、図1におけるメモリセルアレイ部

MARRYの具体的構成例を示す回路図である。このメモリセルアレイ部MARRYは、データ表示の機能を持つLCD駆動ICで使用され、表示タイミング信号Tnの入力で表示出力OUnへデータを別途に出力する構成となっている。また、基本となるメモリセルも、ワード線信号AD0～ADnおよび書込み／読出し用のデータ線RWD0～RWDn、RWDB0～RWDBnにそれぞれ接続され且つ別途に出力線OUI～OUnにデータ出力する構成となっている。

【0018】図4は、図1におけるダミーセルD1～D4の具体的構成例を示す回路図である。これらのダミーセルDnは、データの書込み／読出し機能に関してはメモリセルと全く同じであり、ワード線DAnおよびデータ線DDYn、DDYnに接続されている。また、ダミーセルリセット信号DREにより初期化され、ダミーセルに書き込まれたデータの戻り信号WDnが別途出力されている。非選択時にタイミング生成回路TIMからのダミーセルリセット信号DREにより初期化され、各メモリセルの書込み時に選択され各ダミーセルD1～D4に初期化データの反転データが同時にそれぞれ書き込まれ、各メモリセルの読出し時に選択され各ダミーセルD1～D4から各初期化データが同時にそれぞれ読み出される。本実施形態では、初期化により“1”になり、書込み時に“0”をそれぞれ書き込まれ、読出し時に“1”がそれぞれ読み出される。また、少なくとも、これらダミーセルD1～D4の1つは、メモリセルアレイ部MARRYを挟んでタイミング生成回路TIMと対局に位置するように配置される。

【0019】図5は、図1におけるダミーセル用に設けたYアドレスデコーダDYn、センス回路DRW1～DRW4の具体的構成例を示す回路図である。これらYアドレスデコーダDYn、センス回路DRW1～DRW4は、メモリセルアレイ部MARRY用のYアドレスデコーダYAD、センス回路RWS内の各データ線単位の回路と同じ内部構成であり、タイミング生成回路TIMから出力されるデータ線のプリチャージOFF信号PRI、アドレス選択信号TDA、書込み／読出し信号WO／ROを受け取り、それぞれに対して動作する。と同時に、各ダミーセルD1～D4からそれぞれ読み出された信号を戻り信号RDnをタイミング生成回路TIMに戻している。

【0020】図6は、図1におけるXアドレスデコーダXAD、DX1～DX2の具体的構成例を示す回路図である。メモリセルアレイ部MARRY用に設けたXアドレスデコーダXADは、Xアドレス信号XADnが入力されても、タイミング生成回路TIMからのアドレス選択信号TADが入力されない限り、ワード線信号ADnを出力しない。また、ダミーセル用に設けたXアドレスデコーダDX1、DX2は、アドレス選択信号TADが送られてくると、ダミーセル用のワード線信号DA1～

DA2を自動的に出力する。

【0021】図7は、図1におけるタイミング生成回路TIMの具体的構成例を示す回路図である。また、図8は、タイミング発生回路TIMの動作を示すタイミングチャートである。図8を参照して、タイミング発生回路TIMの機能を説明する。

【0022】タイミング生成回路TIMは、リセット信号RESTが“1”のとき、各タイミング出力信号を初期状態に設定する。プリチャージOFF信号PRI、書込み/読出し信号WO/RO、センス回路リセット信号SREは“0”にそれぞれ設定され、アドレス選択信号TAD、ダミーセルリセット信号DREは“1”にそれぞれ設定される。

【0023】その後、書込み/読出し選択信号CW/CRが“1”に変化すると、プリチャージOFF信号PRIが“1”に変化し、その戻り信号PRIDでアドレス選択信号TADが“0”に変化し、その戻り信号TADDで書込み/読出し信号WO/ROが“1”に変化し、アクティブとなる。

【0024】この書込み/読出し信号WO/ROのアクティブ変化により、ダミーセルD1～D4に対し書込み/読出し動作を行い、ダミーセルD1～D4に書き込まれたデータの戻り信号WD1～WD4の“0”と、ダミーセルD1～D4から読み出されたデータの戻り信号RD1～RD4の“1”とを入力し、書込み/読出し信号WO/ROが“0”になり、インアクティブとなる。

【0025】この書込み/読出し信号WO/ROのインアクティブ変化により、それらの戻り信号WOD/RODが“0”となり、アドレス選択信号TADが“1”になり、その戻り信号TADDでデータ線のプリチャージ信号PRIが“0”に切り替わり全ての動作が完結する。

【0026】このように、前の動作のタイミング信号の戻りを受けて次の動作のタイミング信号を順に発生させる回路構成となっている。

【0027】次に、本実施形態の半導体集積回路におけるメモリ回路の動作について説明する。

【0028】図1を参照すると、メモリ回路に対して、書込み/読出し選択信号CW/CRと、Xアドレス信号XADn、Yアドレス信号YADnが送られてくると、タイミング生成回路TIMは、データ線に対するプリチャージOFF信号PRIをセンス回路部RWSに送る。この信号の戻りを受けて、タイミング発生回路TIMは、アドレス選択信号TADをX、Yの両アドレスデコーダに送る。この信号により、ダミーセルD1～D4のワード線信号も同時に選択される。アドレス選択信号TADの戻りを受けて、タイミング発生回路TIMは、書込み/読出し信号WO/ROをセンス回路RWSに送る。この信号により、ダミーセルに対して書込み/読出しの動作が行われ、それによるダミーセルD1～D4に

書き込まれたデータの戻り信号WD1～WD4の“0”と、ダミーセルD1～D4から読み出されたデータの戻り信号RD1～RD4の“1”とで、タイミング発生回路TIMは書込み/読出し信号WO/ROをオフする。書込み/読出し信号がオフすることによって、アドレス選択信号TADがオフし、次にデータ線のプリチャージ信号PRIがオフして、メモリ回路に対する一連の動作が完了する。

【0029】なお、本実施形態では、メモリセルアレイ部MARRYが1つである場合について説明したが、本実施形態の半導体集積回路の変形例として、メモリセルアレイ部MARRYが複数あり、一つのタイミング発生回路TIMで制御する半導体集積回路も同様に可能であることは明らかである。

【0030】

【発明の効果】以上説明したように、本発明による半導体集積回路は、内蔵するメモリ回路および周辺回路に対する書込み/読出しを含む一連の動作タイミングを、本来動作可能なタイミング速度まで、高速化できるなどの効果がある。

【0031】その理由は、メモリセルアレイ部に隣接してその4隅にそれぞれ配置されたダミーセルを用いて、メモリセルと同じ条件下でのダミーセルのアドレス選択からデータの書込み/読出しを行い、そのダミーセルの動作によって発生する信号を基に、メモリ回路および周辺回路に対しての書込み/読出しを含む一連の動作タイミングを発生させているため、製造プロセスなどにより、データ線などの配線抵抗にバラツキを生じ、メモリアレイ部内の各メモリセルの動作保証のため、固定タイミングの設計マージンを付加する必要が無いからである。

【図面の簡単な説明】

【図1】本発明の半導体集積回路の実施形態におけるメモリ回路部を示すブロック図である。

【図2】図1におけるメモリセルアレイ部、ダミーセルのデータ線とワード線との間の具体的接続例を示す接続図である。

【図3】図1におけるメモリセルアレイ部の具体的構成例を示す回路図である。

【図4】図1におけるダミーセルの具体的構成例を示す回路図である。

【図5】図1におけるダミーセル用に設けたYアドレスデコーダ、センス回路の具体的構成例を示す回路図である。

【図6】図1におけるXアドレスデコーダの具体的構成例を示す回路図である。

【図7】図1におけるタイミング生成回路の具体的構成例を示す回路図である。

【図8】図7のタイミング発生回路の動作を示すタイミングチャートである。

【図9】従来の半導体集積回路におけるメモリ回路部を示すブロック図である。

【符号の説明】

AD0~ADn, DAn ワード線

D1~D4 ダミーセル

DDYn, DDBYn, RWD0~RWDn, RWDB0~RWDBn データ線

DRE ダミーセルリセット信号

DRW1~DRW4, RWS センス回路

DX1~DX2, XAD Xアドレスデコーダ

DY1~DY4, YAD Yアドレスデコーダ

L1~L4 負荷スイッチ群

*MARRY メモリセルアレイ部

PR1 プリチャージOFF信号

PRID, RD1~RD4, TADD, WD1~WD4, WOD/ROD戻り信号

REST リセット信号

SRE センス回路リセット信号

TAD アドレス選択信号

TIM タイミング生成回路

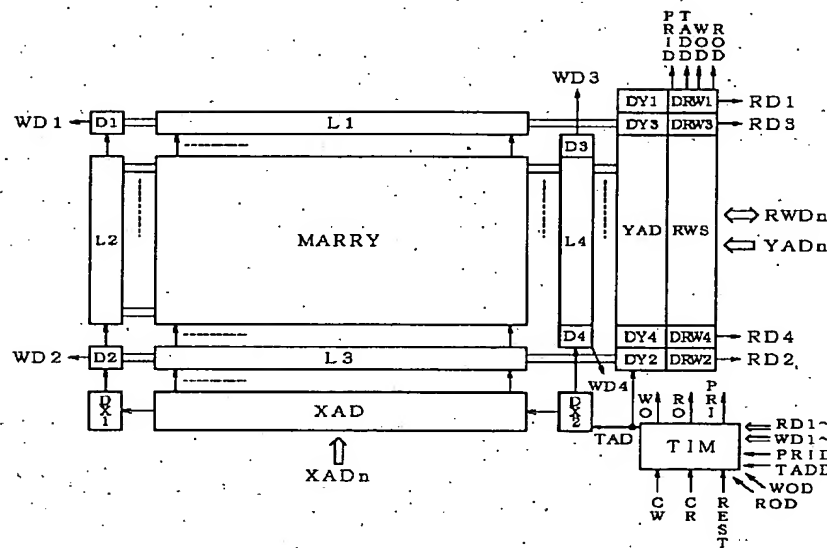
Tn 表示タイミング信号

10 WO/RO 書込み/読出し信号

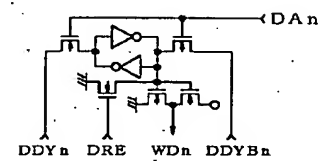
XADn Xアドレス信号

* YADn Yアドレス信号

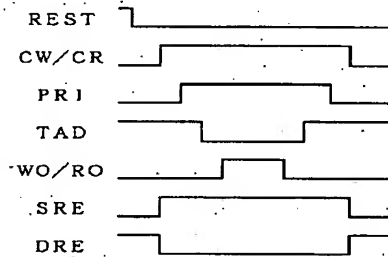
【図1】



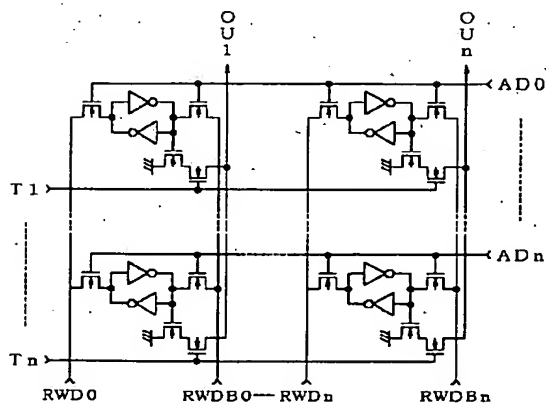
【図4】



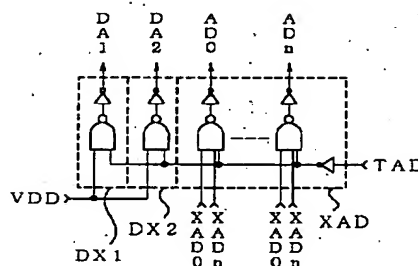
【図8】



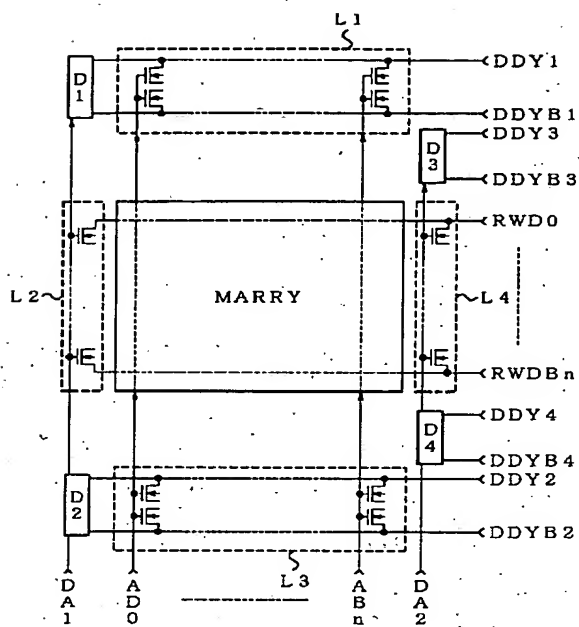
【図3】



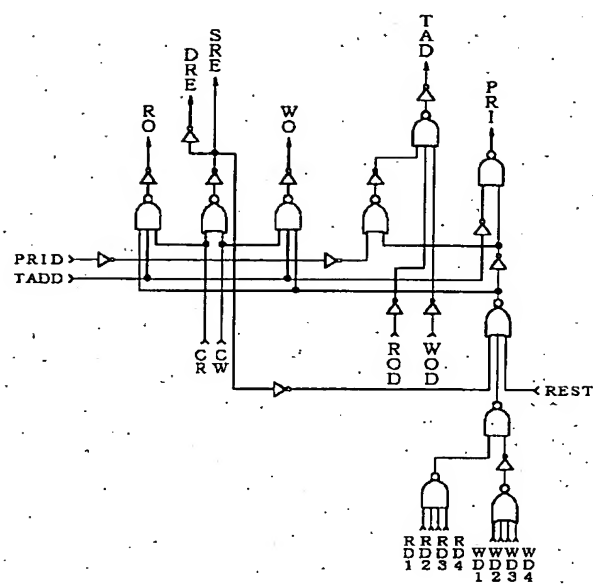
【図6】



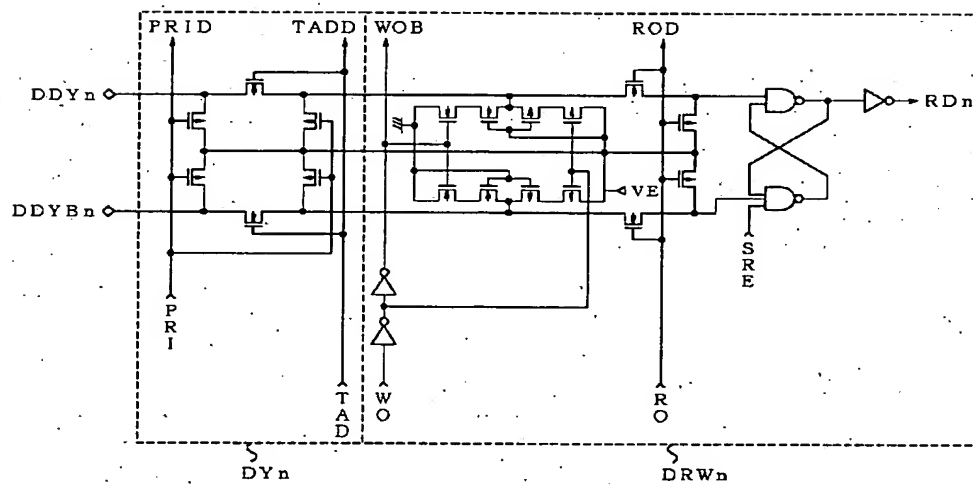
【図2】



【図7】



【図5】



【図9】

